



## RISC-V在GNU中的状态和进展

PLCT 陈嘉炜

2024/11/28

## 报告主题：

- RISC-V工具链支持进展
- RISC-V扩展支持情况
- RISC-V特性支持进展
- 未来工作计划

# RISC-V工具链简介

riscv-gnu-toolchain 是一个为 RISC-V 架构提供支持的工具链仓库，集成了 gcc (GNU Compiler Collection)、binutils (包括 assembler 和 linker)、GDB (GNU Debugger)、newlib 和 glibc (C-lib)、QEMU和Spike (Simulator) 等工具，是开发 RISC-V 应用程序、操作系统及内核的主要工具链

仓库地址：<https://github.com/riscv-collab/riscv-gnu-toolchain>

最新二进制工具下载地址：

<https://github.com/riscv-collab/riscv-gnu-toolchain/releases/tag/2024.11.22>

# RISC-V工具链支持进展

riscv-gnu-toolchain仓库的各模块已同步更新，新增加了uClibc库支持了

gcc -> 14.2.0

binutils -> 2.43.1

gdb -> 15.2

glibc -> 2.40

newlib -> 4.40

qemu -> 9.1.0

# RISC-V工具链支持进展

## riscv-gnu-toolchain仓库进展

gcc -> 14.2.0

更多的扩展支持(-march=help)

<https://godbolt.org/z/ncf85a1PT>

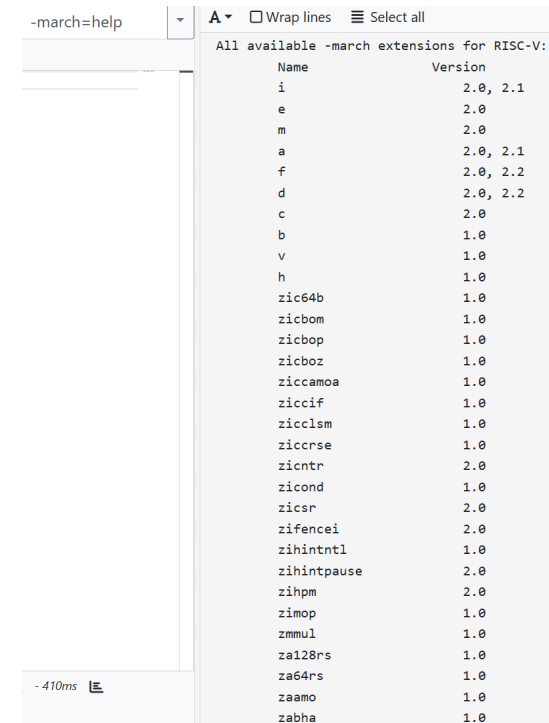
RVI扩展 (gcbkv\_z\*)

zacas/zabha/zicond/zvk\*/zvfbf\*

特权指令扩展

aia,epmp

厂商扩展 (Xthead/Xcv/Xsf)



The screenshot shows the output of the command 'gcc -march=help'. It displays a list of available RISC-V extensions with their names and versions. The extensions are listed in a table format with columns for 'Name' and 'Version'.

Name	Version
i	2.0, 2.1
e	2.0
m	2.0
a	2.0, 2.1
f	2.0, 2.2
d	2.0, 2.2
c	2.0
b	1.0
v	1.0
h	1.0
zic64b	1.0
zicbom	1.0
zicbop	1.0
zicboz	1.0
ziccamao	1.0
ziccif	1.0
zicclsm	1.0
ziccrse	1.0
zicntr	2.0
zicond	1.0
zicsr	2.0
zifencei	2.0
zihintntl	1.0
zihintpause	2.0
zihpm	2.0
zimop	1.0
zmmul	1.0
za128rs	1.0
za64rs	1.0
zaamo	1.0
zabha	1.0

# RISC-V工具链支持进展

## riscv-gnu-toolchain仓库进展

gcc -> 14.2.0

RVV intrinsic支持, RVV自动向量化支持 (持续更新中)

RVV自动向量化选项

-mrvv-vector-bits=scalable/zvl(128/256/.../1024)

-mrvv-max-lmul=dynamic/m1/m2/.../m8

# RISC-V工具链支持进展

## riscv-gnu-toolchain仓库进展

binutils -> 2.43

gprofng添加了RISC-V后端的初步支持  
<https://www.bilibili.com/video/BV1FS42197ss>

### RISC-V:[gprofng] Minimal support gprofng for riscv.

```
author Yixuan Chen <chenyixuan@iscas.ac.cn>
      Thu, 4 Jul 2024 09:16:59 +0000 (17:16 +0800)
committer Vladimir Mezentsev <vladimir.mezentsev@oracle.com>
      Wed, 10 Jul 2024 22:16:03 +0000 (15:16 -0700)
commit 762c38d552abbfed97c349c5e7c8ef34119b2f5e
tree f0b1d2e5cf0b78204d6ab4d0f8c7dd8c9512a5b7
parent 479edf0a6a61159486f14d5e62403f8769cc591d
```

[tree](#)  
[commit](#) | [diff](#)

RISC-V:[gprofng] Minimal support gprofng for riscv.

ChangeLog: Add target riscv to --enable-gprofng.

2024-07-04 Yixuan Chen <chenyixuan@iscas.ac.cn>

## 特权寄存器支持

## Smcsrind/Sscsrind/Smcdeleg/Ssccfg

# RISC-V扩展支持情况

已支持扩展进展：

子扩展名称	最新进展
<a href="#">B</a> (位操作)	优化了gcc指令生成, 支持了向量化版本
<a href="#">K</a> (密码学)	支持了intrinsic调用与向量化版本
<a href="#">P</a> (SIMD)	Rebase至GCC14, 正在实现新的草案
<a href="#">V</a> (Vector)	支持了全部的intrinsic调用, 正在完善auto-vectorization
<a href="#">ZC*</a> (代码体积)	已在Binutils中全面支持, 正在优化Zcmt的实现
<a href="#">Z*inx</a>	添加了兼容性检查与rounding mode同步, 在newlib中进行了支持
<a href="#">Priv1.13</a> (特权寄存器)	更新至1.13版本

注：P扩展gcc仓库地址：<https://github.com/ruyisdk/riscv-gcc>

P扩展binutils仓库地址：<https://github.com/ruyisdk/riscv-binutils>



## 新扩展支持:

扩展名称	gcc支持情况	binutils支持情况	仓库地址	提交者
Ztso	是	是	上游	ISCAS/Rivosinc/IRQ
Zicond	是	是	上游	ESWIN/Ventana/VRULL
Zacas	是	是	上游	Sifive/ISCAS
Zfa	是	是	上游	T-head/Sifive
Zvfh/min	是	是	上游	RIVAI/Sifive
Zacas	是	是	上游	ISCAS
Zabha	是	是	上游	ISCAS
Zvk*	是	是	上游	VRULL/ISCAS
Smrnmi	是	是	上游	ISCAS
Smcsrind	是	是	上游	ISCAS
Xthead*	是	是	上游	Sifive/Rivosinc

注: gcc上游仓库地址: <https://gcc.gnu.org/git/gcc.git>

binutils上游仓库地址: <https://sourceware.org/git/binutils-gdb.git>

# RISC-V特性支持进展

添加了香山南湖的微架构支持,使用-mcpu/-mtune=xiangshan-nanhu,即可开启 (<https://godbolt.org/z/h8aYqce4v>)

```
[PATCH] RISC-V: Add XiangShan Nanhu microarchitecture.
```

```
This patch add XiangShan Nanhu cpu microarchitecture,  
Nanhu is a 6-issue, superscalar, out-of-order processor.  
More details see: https://xiangshan-doc.readthedocs.io/zh-cn/latest/arch
```

```
gcc/ChangeLog:
```

```
* config/riscv/riscv-cores.def (RISCV_TUNE): New def.  
(RISCV_CORE): Ditto.  
* config/riscv/riscv-opts.h (enum riscv_microarchitecture_type): New  
option.  
* config/riscv/riscv.cc: New def.  
* config/riscv/riscv.md: New include.  
* config/riscv/xiangshan.md: New file.
```

```
gcc/testsuite/ChangeLog:
```

```
* gcc.target/riscv/mcpu-xiangshan-nanhu.c: New test.
```

```
Co-Authored by: Lin Jiawei <jiawei.lin@epfl.ch>
```

# RISC-V特性支持进展

添加了target\_attribute与target\_clone支持，target\_attribute允许函数以特定arch选项执行编译，达到优化效果\_\_attribute\_\_(target("arch/mcpu/mtune="))

target\_clone 通过检查运行时硬件的 HART 特性（如 misa CSR 或其他硬件特性检测机制）来确定硬件支持的扩展，从而选择最佳函数版本

```
__attribute__((target("rv64ima")))  
int add(int a, int b) {  
    return a + b;  
}  
  
__attribute__((target_clones("rv64ima", "rv64imaf")))  
int add(int a, int b);
```

# RISC-V特性支持进展

## Profiles工具链支持进展

提交了RISC-V Profiles RV20/22/23A/23B的工具链支持，  
等待RV23 Profiles正式批准通过中

### [PATCH v5] RISC-V: Add support for RISC-V Profiles.

Jiawei [jiawei@iscas.ac.cn](mailto:jiawei@iscas.ac.cn)  
Wed Aug 7 15:43:45 GMT 2024

- Previous message (by thread): [\[PATCH v2\] Support ymm rounding control for Intel AVX10.2](#)
- Next message (by thread): [\[RFC\] RISC-V: Add support for Profiles RVA/B23.](#)
- **Messages sorted by:** [\[.date\]](#) [\[.thread\]](#) [\[.subject\]](#) [\[.author\]](#)

Supports RISC-V profiles[1] in -march option.

Default input set the profile before other formal extensions.

[1]<https://github.com/riscv/riscv-profiles/blob/main/profiles.adoc>

version log: Adjust New info in right place, fix format issue.

bfd/ChangeLog:

```
* elfxx-riscv.c (struct riscv_profiles): New struct.  
(riscv_handle_profiles): New handle function.  
(riscv_parse_subset): Add Profiles parse.  
* elfxx-riscv.h (riscv_handle_profiles): New prototype.
```

gas/ChangeLog:

```
* NEWS: Add RISC-V Profiles support.  
* doc/as.texi: Add Profiles in march option.  
* doc/c-riscv.texi: Add RISC-V Profiles introductions.  
* testsuite/gas/riscv/attribute-16.d: New test.  
* testsuite/gas/riscv/attribute-16.d: New test.
```

### [RFC] RISC-V: Add support for Profiles RVA/B23.

Jiawei [jiawei@iscas.ac.cn](mailto:jiawei@iscas.ac.cn)  
Mon Jul 29 03:24:44 GMT 2024

- Previous message (by thread): [\[PATCH\] RISC-V: NFC: Do not use zicond for pr105314 testcases](#)
- Next message (by thread): [\[RFC\] RISC-V: Add support for Profiles RVA/B23.](#)
- **Messages sorted by:** [\[.date\]](#) [\[.thread\]](#) [\[.subject\]](#) [\[.author\]](#)

This patch adds support for RISC-V RVA23 and RVB23 Profiles[1], which depend on the base RISC-V Profiles support[2].

[1] <https://github.com/riscv/riscv-profiles/releases/tag/rva23-v0.4-rvb23-v0.1-internal-review>  
[2] <https://gcc.gnu.org/pipermail/gcc-patches/2024-July/658082.html>

gcc/ChangeLog:

```
* common/config/riscv/riscv-common.cc: New Profiles.
```

gcc/testsuite/ChangeLog:

```
* gcc.target/riscv/attribute-22.c: New test.  
* gcc.target/riscv/attribute-23.c: New test.
```

# 未来工作计划

- 追踪P扩展进展，更新其在工具链上的实现
- 推进 RISC-V Profiles 进入GNU上游
- 推进RV64ILP32的工具链进入GNU上游
- 协助香山团队完成昆明湖微架构的gcc支持优化工作
- 协助OPENHW完成XCVSIMD指令的gcc支持及优化工作
- 完善GDB-SIM中的RISC-V指令扩展支持
- 继续追踪修复回归测试中发现的问题

# RISC-V GNU Toolchain相关会议一览

Toolchains SIG Bi-Weekly Meeting(双周一晚22: 00-23: 00, 下次会议8.28):

<https://zoom.us/j/94593045119?pwd=QnZ1T2hNcWU5ai82ZGdwZndlbmRPdz09>

由Christoph Müllner (Vrull)主持, 讨论有关RISC-V特性在工具链中的支持问题

RISC-V GCC Patchwork Sync Meeting(每周二晚10: 30-11: 30)

[GCC patch work sync meeting note](#)

由Palmer Dabbelt(Rivosinc)主持, 主要讨论近期向上游提交的RISC-V相关的GCC patch

# 谢谢

欢迎交流合作  
[jiawei@iscas.ac.cn](mailto:jiawei@iscas.ac.cn)